

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-105342

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

G06T 1/00  
G06F 7/52  
G06F 17/10  
G06T 5/20

(21)Application number : 05-244909

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.09.1993

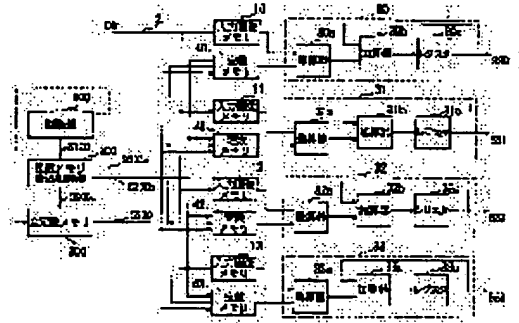
(72)Inventor : YAMADA YOICHI

## (54) PICTURE PROCESSOR

(57)Abstract:

**PURPOSE:** To reduce a capacity of a constant memory, to improve the processing speed and to enhance the flexibility of arithmetic operation.

**CONSTITUTION:** In the picture processor controlling plural product sum arithmetic circuits 30-33 to operate them, constant memories 40-43 need a required minimum memory capacity. A control section 100 provides an output of a control signal S100 used to write the constant memories to a constant memory write control section 200 in a timing required for revision of contents of the constant memories 40-43. The constant memory write control section 200 allows a full constant memory 300 to provide an output of constant data S300 so as to control rewrite of the constant data S300 to the constant memories 40-43.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim]

[Claim 1] Two or more input image memories which store the image data inputted, and two or more constant memory which stores a constant data in the address specified by the constant memory write address when the constant memory-write enabling signal inputted is effective, It has the multiplier which carries out the multiplication of the output of the aforementioned input image memory, and the output of the aforementioned constant memory, and searches for a multiplication result, respectively. In the image processing system which it has two or more sum-of-products arithmetic circuits which accumulate each of those multiplication results and perform a sum-of-products operation, and two or more aforementioned sum-of-products arithmetic circuits are controlled [ image processing system ], and operates them. Constitute each aforementioned constant memory from the memory space of necessary minimum, and an image-processing program is followed. The control section which outputs the control signal for terminating processing whose change of the content of each aforementioned constant memory rewrites only a required field to a new constant data by just before the change processing sequence start in connection with processing sequence change of each aforementioned sum-of-products arithmetic circuit, All the constant memory that outputs this constant data stored in the address when the aforementioned constant data used at the time of an image-processing operation is stored and all the constant memory read-out addresses were inputted to the aforementioned constant memory, While the aforementioned control signal is inputted and the aforementioned constant memory-write enabling signal and the aforementioned constant memory write address are outputted to each aforementioned constant memory, the constant memory-write control section which outputs all the aforementioned constant memory read-out addresses to all the aforementioned constant memory, and controls content change of each of those constant memory. The image processing system characterized by preparing.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed description]

[0001]

[Field of the Invention] this invention relates to the image processing system which consists of a digital signal processor (henceforth DSP) etc., and the formula which changes the content of the constant memory inside [ the ] a sum-of-products arithmetic circuit especially.

[0002]

[Prior art] Conventionally, as technique of such a field, there was what is indicated by the following reference, for example.

A reference; television society magazine and 47[2] (1993) P.168-176 image-processing operation is performed in many cases by repeating a sum-of-products operation like for example, a VCF operation. The various configurations using DSP as a circuit which can perform an image-processing operation general-purpose are proposed as indicated by the aforementioned reference. Since it is the processor which enabled it to perform a sum-of-products operation programmably, the sum-of-products arithmetic circuit which consists of a multiplier and an accumulation machine of this multiplier latter part serves as the fundamental component and DSP can control the input trajectory of multiplier input data programmably, it is suitable for the general-purpose image-processing arithmetic circuit. And when the amounts of image-processing operations run short in the sum-of-products arithmetic circuit whose number is one, the method of aiming at enhancement in a performance is a general view by operating simultaneously two or more the sum-of-products arithmetic circuits. Drawing 2 is the block diagram showing the example of 1 configuration of the conventional image processing system which four sum-of-products arithmetic circuits are controlled [ image processing system ] simultaneously, and operates them. This image processing system has the control section 1 which controls the whole equipment according to an image-processing program, and the external-input port 2 which inputs image data Din, and four input image memories 10-13 and four constant memory 20-23 are connected to those output sides. The control section 1 has the function which outputs constant-data S1a stored in the constant memory 20-23, constant memory-write enabling-signal S1b, and constant memory write-address S1c. Four sum-of-products arithmetic circuits 30-33 are connected to the output side of 4 sets of input image memories 10-13, and the constant memory 20-23. Each sum-of-products arithmetic circuits 30-33 The output of the input image memories 10-13, The multipliers 30a-33a which carry out the multiplication of the output of the constant memory 20-23, and the adders 30b-33b adding the output and the results of an operation S30-S33 of these multipliers 30a-33a, It consists of the registers 30c-33c which accumulate the output of these adders 30b-33b, and give the results of an operation S30-S33 to adders 30b-33b, respectively.

[0003] Next, an operation operation of drawing 2 is explained. It is stored in each image memories 10-13 when image data Din is inputted from the external-input port 2. A control section 1 outputs constant memory-write enabling-signal S1b and constant memory write-address S1c while it outputs constant-data S1a used for an operation according to an image-processing program. When constant memory-write enabling-signal S1b is effective, the constant memory 20-23 stores constant-data S1a in the address specified by constant memory write-address S1c. The output of the input image memory 10 and the constant memory 20 is sent to the sum-of-products arithmetic circuit 30. Similarly, the output of other input image memories 11-13 and the constant memory 21-23 is sent to the sum-of-products arithmetic circuits 31-33, respectively. In the sum-of-products arithmetic circuit 30, the multiplication of the output of the input image memory 10 and the output of the constant memory 20 is carried out by multiplier 30a. The result of an operation S30 which is the output and accumulation output of multiplier 30a is added by adder 30b, and the addition result is stored in register 30c. The content of register 30c is inputted into adder 30b, accumulation is performed, and the result of an operation S30 is outputted from this register 30c. Other sum-of-products arithmetic circuits 31-33 perform the same sum-of-products operation, and output the results of an operation S31-S33 from registers 31c-33c, respectively. As mentioned above, in the conventional image processing system, the image-processing speed is raised by operating two

or more sum-of-products arithmetic circuits 30-33.

[0004]

[Object of the Invention] However, in the conventional image processing system, the capacity of the constant memory 20-23 needed for an operation increases as the image-processing operation to process is various, and versatility is made large, since it is necessary to change the constant value of a multiplier input according to an operation. Following technique (1) - (3) can be considered as the resolution means.

(1) Increase the capacity of the constant memory 20-23 linked to each sum-of-products arithmetic circuits 30-33.

(2) Prepare the constant memory which stores constant-data S1a only one place in an image processing system, and it supplies the one constant memory output to all the sum-of-products arithmetic circuits 30-33.

(3) The constant memory space of each sum-of-products arithmetic circuits 30-33 changes the content of the constant memory 20-23 by the move instruction from a control section 1, whenever it considers as necessary minimum and an operation modality is changed.

However, it was difficult for there to be the following problems and to obtain a technical sufficiently satisfactory image processing system by any technique of aforementioned (1) - (3). That is, by the technique of the above (1), constant memory space becomes large and a hard amount increases. By the technique of the above (2), although hard amount increase is not generated, since only the same constant-data S1a can always be supplied to each sum-of-products arithmetic circuits 30-33, the flexibility as an image processing system is lost. Furthermore, by the technique of the above (3), although there is neither hard amount increase nor a fall of flexibility, the constant-data transfer time serves as an overhead, the luminous efficacy of the sum-of-products arithmetic circuits 30-33 of operation falls, and it causes a fall of the processing speed of an image processing system. this invention aims at offering the highly efficient image processing system solved as a technical problem which the aforementioned conventional technique had about the point of increase of constant memory space, a fall of processing speed, and a fall of the flexibility of an operation.

[0005]

[The means for solving a technical problem] Two or more input image memories which store the image data inputted in order that this invention may solve the aforementioned technical problem, Two or more constant memory which stores a constant data in the address specified by the constant memory write address when the constant memory-write enabling signal inputted is effective, It has the multiplier which carries out the multiplication of the output of the aforementioned input image memory, and the output of the aforementioned constant memory, and searches for a multiplication result, respectively. In the image processing system which it has two or more sum-of-products arithmetic circuits which accumulate each of those multiplication results and perform a sum-of-products operation, and two or more aforementioned sum-of-products arithmetic circuits are controlled [ image processing system ], and operates them Each aforementioned constant memory is constituted from the memory space of necessary minimum, and the control section which outputs a control signal according to an image-processing program, all constant memory, and the constant memory-write control section are prepared further. Here, the control signal outputted from a control section is a signal for terminating processing which rewrites only a field [ need / to be changed / the content of each aforementioned constant memory ] in connection with processing sequence change of each aforementioned sum-of-products arithmetic circuit to a constant data new by just before the change processing sequence start. All constant memory is memory which outputs this constant data stored in the address to the aforementioned constant memory, when the aforementioned constant data used at the time of an image-processing operation is stored and all the constant memory read-out addresses are inputted. A constant memory-write control section inputs the aforementioned control signal, and it has the function which outputs all the aforementioned constant memory read-out addresses to all the aforementioned constant memory, and controls content change of each of those constant memory while it outputs the aforementioned constant memory-write enabling signal and the aforementioned constant memory write address to each aforementioned constant memory.

[0006]

[Operation] According to this invention, since the image processing system was constituted as mentioned above, content change of each constant memory is required timing, and a control section outputs a control signal to a constant memory-write control section. When the control signal from a control section is inputted, while the constant data used by the image-processing operation is made to output from all constant memory, change processing of a constant data is made to perform to each constant memory in a constant memory-write control section. The sum-of-products operation of the output of each input image memory and constant memory is carried out in each sum-of-products arithmetic circuit, and the result of an operation is outputted. Therefore, the aforementioned technical problem is solvable.

[0007]

[Example] Drawing 1 is the configuration block view of the image processing system which shows the example of this invention, and the common sign is given to the element in conventional drawing 2 , and the common element. In this image processing system, it replaces with the constant memory 20-23 among the same input image memories 10-13

connected to the input side of the multipliers 30a-33a in each of those sum-of-products arithmetic circuits 30-33 although it has four sum-of-products arithmetic circuits 30-33, for example and same constant memory 20-23 as the image processing system of drawing 2, and the constant memory 40-43 which has the memory space of necessary minimum is formed. Moreover, while it replaces with the control section 1 of drawing 2 and a control section 100 is formed, the constant memory-write control section 200 and all the constant memory 300 are newly formed. The control section 100 has the function which outputs the control signal S100 for constant memory writes to the constant memory-write control section 200 according to an image-processing program. The constant memory-write control section 200 outputs all constant memory read-out address S200c to all the constant memory 300, and has the function which controls constant-data change processing to each of those constant memory 40-43 while it inputs a control signal S100 and outputs constant memory-write enabling-signal S200a and constant memory write-address S200b to the constant memory 40-43. All the constant memory 300 is memory in which only a number required at the time of image-processing-system employment stores the constant data used by the image-processing operation, and has the function which reads the constant data S300 stored in the address based on all constant memory read-out address S200c from the constant memory-write control section 200, and is outputted to the constant memory 40-43. In addition, when it was an exclusive intended-use-image processing system and versatility is considered although all the constant memory 300 could be constituted from read only memory (ROM), the configuration which constitutes this \*\*\*\*\* memory 300 from random access memory (RAM), and transmits a control section 100 to a constant data at the time of starting of an image processing system as required is desirable.

[0008] Next, an operation operation of drawing 1 is explained. The constant data S300 used by the image processing system is beforehand stored in all the constant memory 300. When image data Din is inputted from the external-input port 2, the image data Din is stored in the input image memories 10-13. In a control section 100, when the number of the sum-of-products arithmetic circuits which need to change the content of the constant memory 40-43 by the operation in the next sequence of a sum-of-products arithmetic circuit while performing one image-processing operation sequence is also one in all the sum-of-products arithmetic circuits 30-33, the control signal S100 for constant memory writes is sent out to the constant memory-write control section 200. The constant memory-write control section 200 follows the control parameter contained in a control signal S100. While constant memory-write enabling-signal S200a is confirmed, the constant memory 40-43 is changed into the status which can be written in and constant memory write-address S200b is outputted to them All constant memory read-out address S200c is sent to all the constant memory 300, a constant data S300 is made to output from the constant memory 300, and the content of the specified constant memory (for example, 40) is changed. This change processing is processing which writes in the constant data S300 which the sum-of-products arithmetic circuits 30-33 need by the processing sequence carried out to the degree of the processing sequence in the present operation. Therefore, a control signal S100 is delivered from a control section 100, while performing the processing sequence in the present operation, it is the timing which content change of the constant memory 40 ends by the following processing sequence start, and change processing is performed by the constant memory-write control section 200. If the output of the input image memories 10-13 and the constant memory 40-43 is sent to the sum-of-products arithmetic circuits 30-33, the multipliers 30a-33a in those sum-of-products arithmetic circuits 30 will carry out the multiplication of the output of the input image memories 10-13, and the output of the constant memory 40-43, and will send the multiplication result to adders 30b-33b. In adders 30b-33b, the results of an operation S30-S33 and the aforementioned multiplication result which are an accumulation output are added, and the addition result is stored in registers 30c-33c. The content of these registers 30c-33c is inputted into adders 30b-33b, and the results of an operation S30-S33 by which the sum-of-products operation was carried out from these registers 30c-33c are outputted.

[0009] Drawing 3 is the block diagram showing the example of a configuration of the constant memory-write control section 200 in drawing 1. In this constant memory-write control section 200, the control signal S100 from the control section 100 of drawing 1 is inputted. The constant memory write signals S105-S108, the constant memory-write start command signal S109, and the write-in starting address S110 the constant memory write-in parameter sending-out signal S101, the read-out starting address S102, the read-out start counted value S103, the read-out end counted value S104, the constant memory 40, - for 43 are contained in the control signal S100. In the constant memory-write control section 200, the read-out start counter register 201 set by the constant memory write-in parameter sending-out signal S101, the read-out end counter register 202, and the write-permission signal register 203 are formed. It is the configuration that the read-out start counted value S103 is inputted into the read-out start counter register 201, the read-out end counted value S104 is inputted into the read-out end counter register 202, and the constant memory write signals S105-S108 are further inputted into the write-permission signal register 203. Moreover, the sequence control counter 204 cleared by the constant memory-write start command signal S109 and the flip-flop 205 for write-in control busy (henceforth FF) with which an output S205 is set to 1 by this command signal S109 are formed. While the start counter comparator 206 which compares them with the output S201 of the read-out start counter register 201 and the

output S204 of a sequence control counter 204 is connected, the end counter comparator 207 which compares them is connected to the output S202 of the read-out end counter register 202, and the output S204 of a sequence control counter 204. The output S206 of the start counter comparator 206 and the output S207 of the end counter comparator 207 are connected to the input side of FF for busy [ write-in ]208. While the read-out address counter 209 which outputs all constant memory read-out address S200c, and the write-in address counter 210 which outputs constant memory write-address S200b are connected, 2 input AND gates 220-223 which output constant memory-write enabling-signal S200a (S200a-0-S200a-3) to the constant memory 40-43 are connected to the output S208 of FF208. Each counter 204,209,210 and FF205,208 operate with a system clock CLK. Output S 203-0 of the write-permission signal register 203 - S 203-3 are connected to the input side of each AND gates 220-223.

[0010] Next, a constant-data change processing operation of the constant memory-write control section 200 of drawing 3 is explained. The control signal S100 (=S101-S110) for constant memory writes outputted from the control section 100 of drawing 1 is inputted in the constant memory-write control section 200 by the following procedures (A) and (B), and change processing of a constant data is performed.

(A) Parameter [ of 101st constant memory write-in parameter sending-out signal S ] (1) - (5) is inputted, and it is preset by each register in the constant memory-write control section 200 at a set or a counter.

(1) It will be preset by the write-in address counter 210 if the write-in starting address S110 to the constant memory 40-43 of write-in starting-address S110 drawing 1 is inputted.

(2) It will be preset by the read-out address counter 209 if the read-out starting address S102 of the read-out starting-address S102 all constant memory 300 is inputted.

(3) An input of the read-out start counted value S103 read-out start counted value S103 sets the read-out start counted value S103 to the read-out start counter register 201 with the number of clock cycles until it starts data read-out of all the constant memory 300 from the input time of the constant memory-write start command signal S109 mentioned later. Here, a value which a constant memory write will end by the time the sum-of-products arithmetic circuits 30-33 of drawing 1 start the following processing sequence is set.

(4) An input of the read-out end counted value S104 read-out end counted value S104 sets this read-out end counted value S104 to the read-out end counter register 202 with the number of clock cycles until it ends data read-out of all the constant memory 300 from the input time of the constant memory-write start command signal S109 mentioned later.

(5) An input of the constant memory write signals S105-S108 to the constant memory 40-43 connected to each sum-of-products arithmetic circuits 30-33 sets these constant memory write signals S105-S108 to the write-permission signal register 203 with the write-permission control signal to those 40 to constant memory 43 each. When a value is 1 and the write-in possibility of and a value are 0, suppose that writing is impossible.

[0011] (B) If the constant memory-write start command signal S109 aforementioned constant memory write-in parameter sending-out signal S101 is inputted and the constant memory-write start command signal S109 is inputted into the sequence control counter 204 and FF for write-in control busy205 following on it, the writing to the constant memory 40-43 of drawing 1 will be performed by following procedure (1) - (4) after the start command signal input.

(1) If the input constant memory-write start command signal S109 of the constant memory-write start command signal S109 is inputted, while a sequence control counter 204 will clear, the output S205 of FF for write-in control busy205 is set to 1. In this FF205, it will be in the status that it was set to 1 as it is, and is reset by 0 synchronizing with the data write-in end to the constant memory 40-43. On the other hand, while are cleared by the constant memory-write start command signal S109 and setting FF205 to 1, the count rise of every one sequence control counter 204 is carried out. Thereby, a sequence control counter 204 outputs the number of clock cycles of the system clock CLK from the input time of the constant memory-write start command signal S109.

(2) The write-in start counter comparator 206 sets an output S206 to 1, when the output S201 of the read-out start counter register 201 and the output S204 of a sequence control counter 204 are measured and those outputs S201 and S204 become equal. If the output S206 of the start counter comparator 206 is set to 1, the output S208 of FF for busy [ write-in ]208 will be set to 1. The output S208 of this FF208 holds 1 as it is, and is reset by 0 synchronizing with the data write-in end to the constant memory 40-43.

(3) If the output S208 of data write-in FF208 is set to 1, one input of 2 input AND gates 220-223 which output constant memory-write enabling-signal S200a is set to 1, to the constant memory (for example, 40) output S 203-0 of the write-permission signal register 203 - whose S 203-3 are 1, constant memory-write enabling-signal S200a-0 will be set to 1, and the writing to the constant memory 40 of it will be attained. To other constant memory 41-43, since constant memory-write enabling-signal S200a-1-S200a-3 are 0, it will be in the status which cannot be written in. Moreover, when the output S208 of FF208 is 1, while read-out of the constant data S300 by which the read-out address counter 209 and the write-in address counter 210 were stored in all the constant memory 300 by all constant memory read-out address S200c and constant memory write-address S200b which carry out a count rise with every one system clock CLK, and are outputted from those counters 209,210 is performed, the constant data S300 is written in the constant

memory 40.

(4) The write-in end counter comparator 207 measures the output S202 of the read-out end counter register 202, and the output S204 of a sequence control counter 204, and when those outputs S202 and S204 become equal, an output S207 is set to 1. If the output S207 of the end counter comparator 207 is set to 1, the output S205 of FF for write-in control busy 205 and the output S208 of FF for busy [ write-in ] 208 will be reset by 0, and write-in processing to the constant memory 40 will be completed.

[0012] As mentioned above, by this example, only by taking out two instructions (the constant memory write-in parameter sending-out signal S101 and constant memory-write start command signal S109) from a control section 100, it has flexibility and the value of the constant memory 40-43 can be automatically updated by control of the constant memory-write control section 200. Therefore, while processing of a control section 100 is mitigated, memory space of the constant memory 40-43 can be made small, processing speed can be improved, the flexibility of an operation is improved further, versatility can be enlarged, and a highly efficient image processing system can be realized. In addition, various deformation, such as not being limited to the above-mentioned example, for example, changing making it numbers other than 4 set \*\*\*\* or the constant memory-write control section 200 into the configuration of those other than drawing 3 for the sum-of-products arithmetic circuits 30-33, the input image memories 10-13, and the constant memory 40-43 according to the amount of image processings, is possible for this invention.

[0013]

[Effect of the invention] Since according to this invention a constant memory-write control section and all constant memory are added and the constant memory-write control section was controlled by the control section as explained to the detail above, only by taking out two instructions from this control section to this constant memory-write control section, by constant memory rewriting control processing of this constant memory-write control section, it has flexibility and the value of constant memory can be changed automatically. Therefore, implementation of the highly efficient image processing system which decreases the capacity of constant memory, and improves processing speed, and whose flexibility of an operation improves further, and can enlarge versatility is attained.

---

[Translation done.]



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[An easy explanation of a drawing]

[ Drawing 1 ] It is the configuration block view of the image processing system which shows the example of this invention.

[ Drawing 2 ] It is the configuration block view of the conventional image processing system.

[ Drawing 3 ] It is the configuration block view of a constant memory-write control section shown in drawing 1 .

[An explanation of a sign]

10-13 Input image memory

30-33 Sum-of-products arithmetic circuit

30a-33a Multiplier

30b-33b Adder

30c-33c Register

40-43 Constant memory

100 Control Section

200 Constant Memory-Write Control Section

300 All Constant Memory

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-105342

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 1/00				
G 0 6 F 7/52	3 1 0 J			
17/10				
		8420-5L	G 0 6 F 15/ 66	J
		9364-5L	15/ 31	D

審査請求 未請求 請求項の数1 OL (全7頁) 最終頁に続く

(21) 出願番号 特願平5-244909

(22) 出願日 平成5年(1993)9月30日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山田 陽一

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

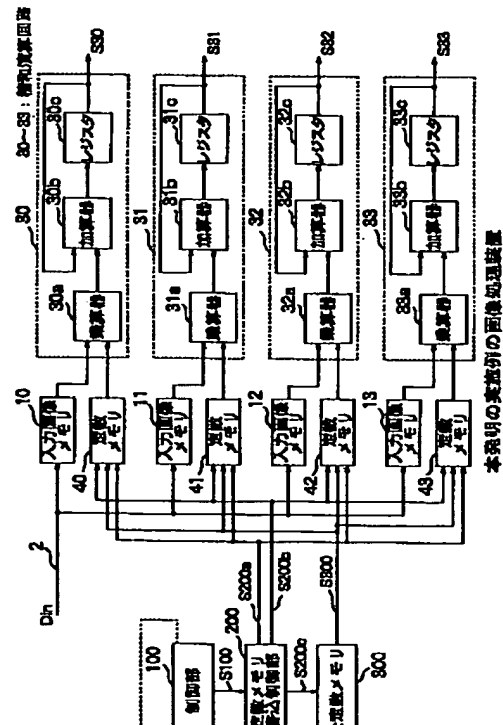
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 定数メモリの容量の減少、処理速度の向上、演算の柔軟性の向上を図る。

【構成】 複数個の積和演算回路30~33を制御して動作させる画像処理装置において、定数メモリ40~43は必要最小限のメモリ容量で構成する。制御部100より、定数メモリ書込制御部200に対して各定数メモリ40~43の内容変更が必要なタイミングで、定数メモリ書込用の制御信号S100を出力する。定数メモリ書込制御部200は、全定数メモリ300から定数データS300を出力させ、定数メモリ40~43に対して該定数データS300の書換を制御する。



1

## 【特許請求の範囲】

【請求項1】 入力される画像データを格納する複数の入力画像メモリと、

入力される定数メモリ書込許可信号が有効である時に、定数メモリ書込アドレスで指定されたアドレスに定数データを格納する複数の定数メモリと、

前記入力画像メモリの出力と前記定数メモリの出力を乗算して乗算結果を求める乗算器をそれぞれ有し、それらの各乗算結果を累積加算して積和演算を行う複数の積和演算回路とを備え、

前記複数の積和演算回路を制御して動作させる画像処理装置において、

前記各定数メモリは必要最小限のメモリ容量で構成し、画像処理プログラムに従い、前記各積和演算回路の処理シーケンス変更に伴い前記各定数メモリの内容の変更が必要な領域のみをその変更処理シーケンス開始直前までに新しい定数データに書換える処理を終了させるための制御信号を出力する制御部と、

画像処理演算時に使用する前記定数データを格納し、かつ全定数メモリ読出アドレスが入力されるとそのアドレスに格納された該定数データを前記定数メモリへ出力する全定数メモリと、

前記制御信号を入力し、前記定数メモリ書込許可信号及び前記定数メモリ書込アドレスを前記各定数メモリへ出力すると共に前記全定数メモリ読出アドレスを前記全定数メモリへ出力してそれらの各定数メモリの内容変更を制御する定数メモリ書込制御部とを、

設けたことを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デジタル・シグナル・プロセッサ（以下、DSPという）等で構成される画像処理装置、特にその積和演算回路内部の定数メモリの内容を変更する方式に関するものである。

## 【0002】

【従来の技術】従来、このような分野の技術としては、例えば次のような文献に記載されるものがあった。

文献；テレビジョン学会誌、47〔2〕（1993）

P. 168-176

画像処理演算は、例えばフィルタ演算等のように、積和演算を繰り返して行う場合が多い。前記文献にも記載されているように、画像処理演算を汎用的に行うことができる回路として、DSPを用いた種々の構成が提案されている。DSPは、積和演算をプログラマブルに行えるようにしたプロセッサであり、乗算器と該乗算器後段の累積加算器とで構成される積和演算回路が基本的な構成要素となっており、乗算器入力データの入力径路をプログラマブルに制御できるので、汎用的な画像処理演算回路に適している。そして、画像処理演算量が1つの積和

2

個同時に動作させることにより、性能向上を図る方法が一般的な考え方である。図2は、例えば4個の積和演算回路を同時に制御し動作させる従来の画像処理装置の一構成例を示すブロック図である。この画像処理装置は、画像処理プログラムに従って装置全体を制御する制御部1と、画像データDinを入力する外部入力ポート2とを有し、それらの出力側に4個の入力画像メモリ10~13及び4個の定数メモリ20~23が接続されている。制御部1は、定数メモリ20~23に格納する定数データS1a、定数メモリ書込許可信号S1b、及び定数メモリ書込アドレスS1cを出力する機能を有している。4組の入力画像メモリ10~13及び定数メモリ20~23の出力側には、4個の積和演算回路30~33が接続されている。各積和演算回路30~33は、入力画像メモリ10~13の出力と、定数メモリ20~23の出力を乗算する乗算器30a~33aと、該乗算器30a~33aの出力と演算結果S30~S33を加算する加算器30b~33bと、該加算器30b~33bの出力を累積してその演算結果S30~S33を加算器30b~33bへ与えるレジスタ30c~33cとで、それぞれ構成されている。

【0003】次に、図2の演算動作を説明する。画像データDinが外部入力ポート2より入力されると、それが各画像メモリ10~13に格納される。制御部1は、画像処理プログラムに従い、演算に使用する定数データS1aを出力すると共に、定数メモリ書込許可信号S1b及び定数メモリ書込アドレスS1cを出力する。定数メモリ書込許可信号S1bが有効である時、定数メモリ20~23は定数メモリ書込アドレスS1cで指定されたアドレスに定数データS1aを格納する。入力画像メモリ10と定数メモリ20の出力は、積和演算回路30へ送られる。同様に、他の入力画像メモリ11~13と定数メモリ21~23の出力が、積和演算回路31~33へそれぞれ送られる。積和演算回路30において、入力画像メモリ10の出力と定数メモリ20の出力とが乗算器30aで乗算される。乗算器30aの出力と累積加算出力である演算結果S30とは、加算器30bで加算され、その加算結果がレジスタ30cに格納される。レジスタ30cの内容が加算器30bへ入力されて累積加算が行われ、該レジスタ30cから演算結果S30が出力される。他の積和演算回路31~33も同様の積和演算を行い、レジスタ31c~33cから演算結果S31~S33をそれぞれ出力する。以上のように、従来の画像処理装置では、複数の積和演算回路30~33を動作させることにより、画像処理速度を向上させている。

## 【0004】

【発明が解決しようとする課題】しかしながら、従来の画像処理装置では、処理する画像処理演算が多様であり、演算によって乗算器入力値を変更する必要がある。

3

る定数メモリ20~23の容量が増大する。その解決手段として、次のような方法(1)~(3)が考えられる。

(1) 各積和演算回路30~33に接続する定数メモリ20~23の容量を増やす。

(2) 定数データS1aを格納する定数メモリは画像処理装置の中で1箇所だけ設けるようにし、その1つの定数メモリ出力を全ての積和演算回路30~33へ供給する。

(3) 各積和演算回路30~33の定数メモリ容量は必要最小限とし、演算種類が変更される毎に、制御部1からの転送命令によって定数メモリ20~23の内容を変更する。

ところが、前記(1)~(3)のいずれの方法でも、次のような問題があり、技術的に充分満足のゆく画像処理装置を得ることが困難であった。即ち、前記(1)の方法では、定数メモリ容量が大きくなってハード量が増大する。前記(2)の方法では、ハード量増大は発生しないが、各積和演算回路30~33に対して常に同一の定数データS1aしか供給できないので、画像処理装置としての柔軟性が失われる。さらに、前記(3)の方法では、ハード量増大や、柔軟性の低下はないが、定数データ転送時間がオーバーヘッドとなり、積和演算回路30~33の動作効率が低下して画像処理装置の処理速度の低下を招く。本発明は、前記従来技術が持っていた課題として、定数メモリ容量の増大、処理速度の低下、及び演算の柔軟性の低下の点について解決した、高性能な画像処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、前記課題を解決するために、入力される画像データを格納する複数の入力画像メモリと、入力される定数メモリ書込許可信号が有効である時に、定数メモリ書込アドレスで指定されたアドレスに定数データを格納する複数の定数メモリと、前記入力画像メモリの出力と前記定数メモリの出力を乗算して乗算結果を求める乗算器をそれぞれ有し、それらの各乗算結果を累積加算して積和演算を行う複数の積和演算回路とを備え、前記複数の積和演算回路を制御して動作させる画像処理装置において、前記各定数メモリは必要最小限のメモリ容量で構成し、さらに、画像処理プログラムに従い制御信号を出力する制御部と、全定数メモリと、定数メモリ書込制御部とを設けている。ここで、制御部から出力される制御信号は、前記各積和演算回路の処理シーケンス変更に伴い前記各定数メモリの内容の変更が必要な領域のみをその変更処理シーケンス開始直前までに新しい定数データに書換える処理を終了させるための信号である。全定数メモリは、画像処理演算時に使用する前記定数データを格納し、かつ全定数メモリ読出アドレスが入力されるとそのアドレスに格納さ

4

る。定数メモリ書込制御部は、前記制御信号を入力し、前記定数メモリ書込許可信号及び前記定数メモリ書込アドレスを前記各定数メモリへ出力すると共に前記全定数メモリ読出アドレスを前記全定数メモリへ出力してそれらの各定数メモリの内容変更を制御する機能を有している。

【0006】

【作用】本発明によれば、以上のように画像処理装置を構成したので、制御部は各定数メモリの内容変更が必要なタイミングで、制御信号を定数メモリ書込制御部へ出力する。定数メモリ書込制御部では、制御部からの制御信号を入力すると、画像処理演算で使用する定数データを全定数メモリから出力させると共に、各定数メモリに対して定数データの変更処理を行わせる。各入力画像メモリと定数メモリの出力は、各積和演算回路で積和演算されて演算結果が出力される。従って、前記課題を解決できるのである。

【0007】

【実施例】図1は、本発明の実施例を示す画像処理装置の構成ブロック図であり、従来の図2中の要素と共通の要素には共通の符号が付されている。この画像処理装置では、図2の画像処理装置と同様の例えば4個の積和演算回路30~33を備えているが、それらの各積和演算回路30~33内の乗算器30a~33aの入力側に接続される入力画像メモリ10~13及び定数メモリ20~23のうち、その定数メモリ20~23に代えて、必要最小限のメモリ容量を有する定数メモリ40~43が設けられている。また、図2の制御部1に代えて制御部100が設けられると共に、定数メモリ書込制御部200及び全定数メモリ300が新たに設けられている。制御部100は、画像処理プログラムに従って定数メモリ書込用の制御信号S100を定数メモリ書込制御部200へ出力する機能を有している。定数メモリ書込制御部200は、制御信号S100を入力し、定数メモリ書込許可信号S200a及び定数メモリ書込アドレスS200bを定数メモリ40~43へ出力すると共に、全定数メモリ読出アドレスS200cを全定数メモリ300へ出力し、それらの各定数メモリ40~43への定数データ変更処理を制御する機能を有している。全定数メモリ300は、画像処理演算で使用する定数データを画像処理装置運用時に必要な数だけ格納するメモリであり、定数メモリ書込制御部200からの全定数メモリ読出アドレスS200cに基づき、そのアドレスに格納された定数データS300を讀出して定数メモリ40~43へ出力する機能を有している。なお、専用用途的な画像処理装置であれば、全定数メモリ300をリード・オンリ・メモリ(ROM)で構成してもよいが、汎用性を考えた場合には、該全定数メモリ300をランダム・アクセス・メモリ(RAM)で構成し、画像処理装置の立上げ時

成が望ましい。

【0008】次に、図1の演算動作を説明する。全定数メモリ300には、画像処理装置で使用する定数データS300が予め格納されている。画像データDinが外部入力ポート2より入力されると、その画像データDinが入力画像メモリ10～13に格納される。制御部100では、1つの画像処理演算シーケンスを実行中の積和演算回路の次のシーケンスにおける演算で定数メモリ40～43の内容を変更する必要がある積和演算回路が全ての積和演算回路30～33の中で1つでもある場合、定数メモリ書込制御部200に対して定数メモリ書込用の制御信号S100を送出する。定数メモリ書込制御部200は、制御信号S100に含まれる制御パラメータに従い、定数メモリ書込許可信号S200aを有効として定数メモリ40～43を書込可能状態にし、それらに対して定数メモリ書込アドレスS200bを出力すると共に、全定数メモリ読出アドレスS200cを全定数メモリ300へ送り、その定数メモリ300から定数データS300を出力させ、指定された定数メモリ（例えば、40）の内容を変更する。この変更処理は、積和演算回路30～33が現在演算中の処理シーケンスの次に行われる処理シーケンスで必要とする定数データS300を書込む処理である。そのため、制御信号S100は、現在演算中の処理シーケンスを実行中に制御部100から送出され、次の処理シーケンス開始までに定数メモリ40の内容変更が終了するようなタイミングで、定数メモリ書込制御部200によって変更処理が行われる。入力画像メモリ10～13及び定数メモリ40～43の出力が積和演算回路30～33へ送られると、それらの積和演算回路30内の乗算器30a～33aが、入力画像メモリ10～13の出力と定数メモリ40～43の出力とを乗算し、その乗算結果を加算器30b～33bへ送る。加算器30b～33bでは、累積加算出力である演算結果S30～S33と前記乗算結果とを加算し、その加算結果をレジスタ30c～33cに格納する。このレジスタ30c～33cの内容は、加算器30b～33bへ入力され、該レジスタ30c～33cから積和演算された演算結果S30～S33が出力される。

【0009】図3は、図1中の定数メモリ書込制御部200の構成例を示すブロック図である。この定数メモリ書込制御部200では、図1の制御部100からの制御信号S100を入力する。制御信号S100には、定数メモリ書込パラメータ送出信号S101、読出開始アドレスS102、読出開始カウント値S103、読出終了カウント値S104、定数メモリ40～43用の定数メモリ書込信号S105～S108、定数メモリ書込開始指令信号S109、及び書込開始アドレスS110が含まれている。定数メモリ書込制御部200では、定数メモリ書込パラメータ送出信号S101によりセットされ

レジスタ202、及び書込許可信号レジスタ203が設けられている。読出開始カウンタレジスタ201には読出開始カウント値S103が入力され、読出終了カウンタレジスタ202には読出終了カウント値S104が入力され、さらに書込許可信号レジスタ203には定数メモリ書込信号S105～S108が入力される構成になっている。また、定数メモリ書込開始指令信号S109によってクリアされる制御カウンタ204と、該指令信号S109によって出力S205が1にセットされる書込制御ビジ用フリップフロップ（以下、FFという）205が設けられている。読出開始カウンタレジスタ201の出力S201と制御カウンタ204の出力S204には、それらを比較する開始カウンタ比較器206が接続されると共に、読出終了カウンタレジスタ202の出力S202と制御カウンタ204の出力S204には、それらを比較する終了カウンタ比較器207が接続されている。開始カウンタ比較器206の出力S206及び終了カウンタ比較器207の出力S207が、書込ビジ用FF208の入力側に接続されている。FF208の出力S208には、全定数メモリ読出アドレスS200cを出力する読出アドレスカウンタ209、及び定数メモリ書込アドレスS200bを出力する書込アドレスカウンタ210が接続されると共に、定数メモリ40～43に対する定数メモリ書込許可信号S200a（S200a-0～S200a-3）を出力する2入力ANDゲート220～223が接続されている。各カウンタ204、209、210及びFF205、208がシステムクロックCLKによって動作するようになっている。各ANDゲート220～223の入力側には、書込許可信号レジスタ203の出力S203-0～S203-3が接続されている。

【0010】次に、図3の定数メモリ書込制御部200の定数データ変更処理動作を説明する。図1の制御部100から出力された定数メモリ書込用の制御信号S100（=S101～S110）は、次のような手順

(A)、(B)で定数メモリ書込制御部200内に入力され、定数データの変更処理が行われる。

(A) 定数メモリ書込パラメータ送出信号S101次のパラメータ(1)～(5)が入力され、定数メモリ書込制御部200内の各レジスタにセットあるいはカウンタにプリセットされる。

(1) 書込開始アドレスS110

図1の定数メモリ40～43への書込開始アドレスS110が入力されると、それが書込アドレスカウンタ210にプリセットされる。

(2) 読出開始アドレスS102

全定数メモリ300の読出開始アドレスS102が入力されると、それが読出アドレスカウンタ209にプリセットされる。

7

読出開始カウンタ値S103が入力されると、後述する定数メモリ書込開始指令信号S109の入力時刻から全定数メモリ300のデータ読出を開始するまでのクロックサイクル数で、その読出開始カウンタ値S103が読出開始カウンタレジスタ201にセットされる。ここで、図1の積和演算回路30～33が次の処理シーケンスを開始するまでに定数メモリ書込が終了するような値がセットされる。

#### (4) 読出終了カウンタ値S104

読出終了カウンタ値S104が入力されると、後述する定数メモリ書込開始指令信号S109の入力時刻から全定数メモリ300のデータ読出を終了するまでのクロックサイクル数で、該読出終了カウンタ値S104が読出終了カウンタレジスタ202にセットされる。

(5) 各積和演算回路30～33に接続されている定数メモリ40～43に対する定数メモリ書込信号S105～S108が入力されると、それらの定数メモリ40～43各々への書込許可制御信号で、該定数メモリ書込信号S105～S108が書込許可信号レジスタ203にセットされる。値が1の時に書込可能、値が0の時に書込不可とする。

#### 【0011】(B) 定数メモリ書込開始指令信号S109

前記定数メモリ書込パラメータ送出信号S101が入力され、それに引き続き、定数メモリ書込開始指令信号S109が制御カウンタ204及び書込制御ビジィ用FF205に入力されると、その開始指令信号入力後、次のような手順(1)～(4)で図1の定数メモリ40～43への書込が行われる。

(1) 定数メモリ書込開始指令信号S109の入力  
定数メモリ書込開始指令信号S109が入力されると、制御カウンタ204がクリアすると共に、書込制御ビジィ用FF205の出力S205が1にセットされる。このFF205では、そのまま1にセットされた状態となり、定数メモリ40～43へのデータ書込終了に同期して0にリセットされる。これに対し、制御カウンタ204は、定数メモリ書込開始指令信号S109でクリアされ、FF205が1にセットされている間、1つずつカウントアップする。これにより、制御カウンタ204は、定数メモリ書込開始指令信号S109の入力時刻からのシステムクロックCLKのクロックサイクル数を出力する。

#### (2) 書込開始

開始カウンタ比較器206は、読出開始カウンタレジスタ201の出力S201と制御カウンタ204の出力S204とを比較し、それらの出力S201とS204が等しくなった時、出力S206を1にする。開始カウンタ比較器206の出力S206が1になると、書込ビジィ用FF208の出力S208が1にセットされる。こ

8

数メモリ40～43へのデータ書込終了に同期して0にリセットされる。

#### (3) データ書込

FF208の出力S208が1になると、定数メモリ書込許可信号S200aを出力する2入力ANDゲート220～223の一方の入力が1となり、書込許可信号レジスタ203の出力S203-0～S203-3が1である定数メモリ(例えば、40)に対して定数メモリ書込許可信号S200a-0が1となって定数メモリ40への書込が可能となる。他の定数メモリ41～43に対しては、定数メモリ書込許可信号S200a-1～S200a-3が0のため、書込が不可能な状態となる。また、FF208の出力S208が1の時、読出アドレスカウンタ209と書込アドレスカウンタ210がシステムクロックCLKによって1つずつカウントアップし、それらのカウンタ209、210から出力される全定数メモリ読出アドレスS200c及び定数メモリ書込アドレスS200bにより、全定数メモリ300に格納された定数データS300の読出が行われると共に、その定数データS300が定数メモリ40へ書込まれる。

#### (4) 書込終了

終了カウンタ比較器207は、読出終了カウンタレジスタ202の出力S202と制御カウンタ204の出力S204とを比較し、それらの出力S202とS204が等しくなった時に出力S207が1となる。終了カウンタ比較器207の出力S207が1になると、書込制御ビジィ用FF205の出力S205と書込ビジィ用FF208の出力S208が0にリセットされ、定数メモリ40への書込処理が終了する。

【0012】以上のように本実施例では、制御部100から2回の命令(定数メモリ書込パラメータ送出信号S101、及び定数メモリ書込開始指令信号S109)を出すだけで、定数メモリ書込制御部200の制御によって定数メモリ40～43の値を柔軟性をもって自動的に更新できる。そのため、制御部100の処理が軽減されると共に、定数メモリ40～43のメモリ容量を小さくでき、処理速度を向上でき、さらに演算の柔軟性を向上して汎用性を大きくでき、高性能な画像処理装置を実現できる。なお、本発明は上記実施例に限定されず、例えば、積和演算回路30～33、入力画像メモリ10～13、及び定数メモリ40～43を画像処理量に応じて4組以外の個数にしたり、あるいは定数メモリ書込制御部200を図3以外の構成に変更する等、種々の変形が可能である。

#### 【0013】

【発明の効果】以上詳細に説明したように、本発明によれば、定数メモリ書込制御部及び全定数メモリを追加し、その定数メモリ書込制御部を制御部によって制御するようにしたので、該制御部から例えば2回の命令を該

制御部の定数メモリ書換制御処理によって定数メモリの値を柔軟性をもって自動的に変更できる。そのため、定数メモリの容量を減少し、処理速度を向上し、さらに演算の柔軟性が向上して汎用性を大きくできる高性能な画像処理装置の実現が可能となる。

【図面の簡単な説明】

【図1】本発明の実施例を示す画像処理装置の構成ブロック図である。

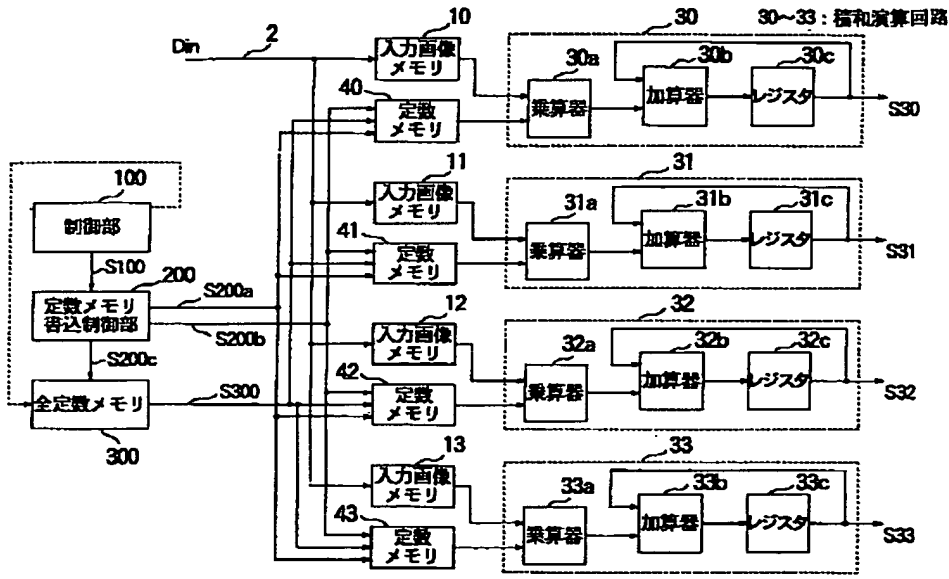
【図2】従来の画像処理装置の構成ブロック図である。

【図3】図1に示す定数メモリ書込制御部の構成ブロック図である。

【符号の説明】

- 10~13 入力画像メモリ
- 30~33 積和演算回路
- 30a~33a 乗算器
- 30b~33b 加算器
- 30c~33c レジスタ
- 40~43 定数メモリ
- 100 制御部
- 200 定数メモリ書込制御部
- 300 全定数メモリ

【図1】



本発明の実施例の画像処理装置

【図3】

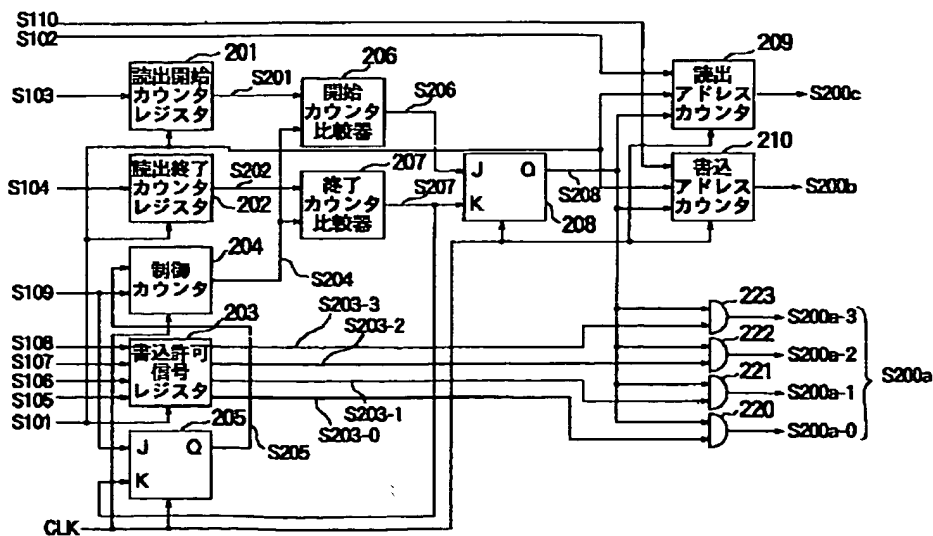
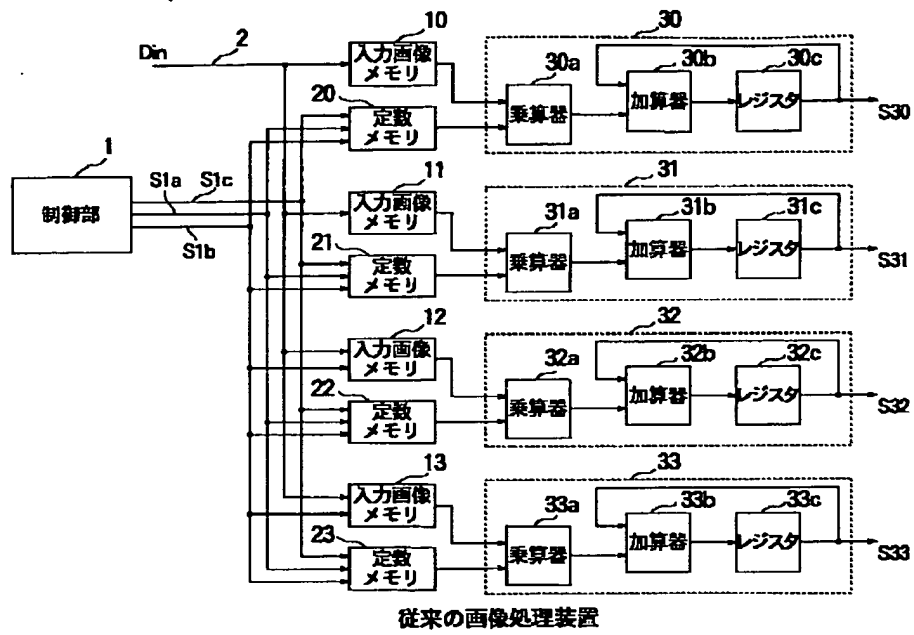


図1の定数メモリ書込制御部

【図2】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
G06T 5/20

識別記号

弁内整理番号

F I

技術表示箇所

9191-5L

G06F 15/68

400 J